

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-321484

(43)Date of publication of application : 03.12.1996

(51)Int.Cl. H01L 21/3065
C23F 4/00

(21)Application number : 07-124976

(71)Applicant : NEC CORP

(22)Date of filing : 24.05.1995

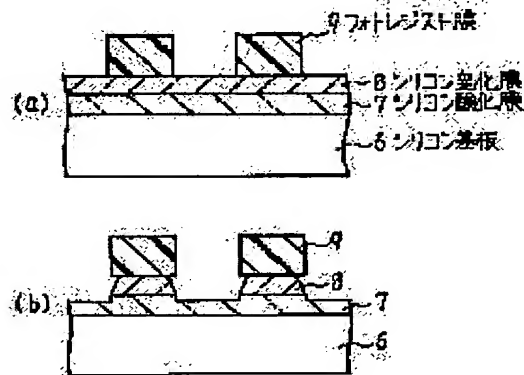
(72)Inventor : TAKESHIRO SHINICHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To execute etching of a high selectivity ratio on the occasion when a silicon nitride film on a silicon oxide film is etched with a photoresist used as a mask.

CONSTITUTION: On the occasion when dry etching is executed in plasma with a photoresist film 9 used as a mask after a silicon oxide film 7 and a silicon nitride film 8 are formed on a silicon substrate 6, a mixed gas of sulfur hexafluoride, hydrogen bromide and oxygen is used as an etching gas and isotropic etching is executed by parallel-flat-plate anode coupling type dry etching equipment.



LEGAL STATUS

[Date of request for examination] 24.05.1995

[Date of sending the examiner's decision of rejection] 09.12.1997

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-321484

(43)公開日 平成8年(1996)12月3日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/3065			H 0 1 L 21/302	F
C 2 3 F 4/00			C 2 3 F 4/00	E

審査請求 有 請求項の数2 O L (全 4 頁)

(21)出願番号 特願平7-124976

(22)出願日 平成7年(1995)5月24日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 竹城 真一

東京都港区芝五丁目7番1号 日本電気株式会社内

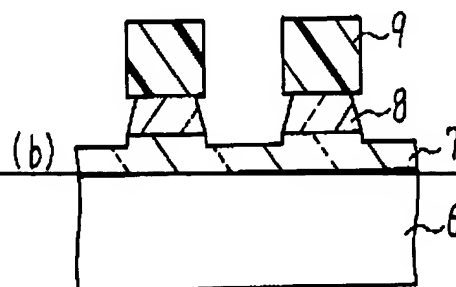
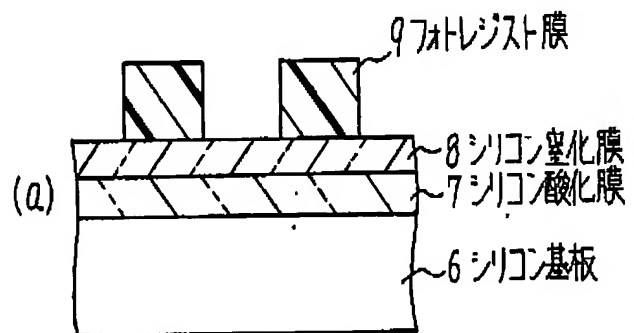
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】シリコン酸化膜上のシリコン窒化膜をフォトレジストをマスクとしてエッチングする際に選択比の高いエッチングを行なう。

【構成】シリコン基板6上にシリコン酸化膜7とシリコン窒化膜8を形成したのち、フォトレジスト膜9をマスクとしてプラズマ中でドライエッチングを行なう際に、エッチングガスとして六弗化硫黄、臭化水素、酸素の混合ガスを用い、平行平板の陽極結合型ドライエッチング装置により等方性エッチングを行なう。



【特許請求の範囲】

【請求項1】 半導体基板上のシリコン酸化膜上に形成されたシリコン窒化膜をフォトリソグラフィをマスク材としてプラズマ中でドライエッチングする半導体装置の製造方法において、平行平板の陽極結合型ドライエッチング装置を用いエッチングガスとして六弗化硫黄（SF₆）と臭化水素（HBr）と酸素（O₂）の混合ガスを用いて前記シリコン窒化膜を等方性エッチングすることを特徴とする半導体装置の製造方法。

【請求項2】 混合ガスにおけるHBrの混合比は3～10％である請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置の製造方法に関し、特にシリコン酸化膜上のシリコン窒化膜のエッチング方法に関する。

【0002】

【従来の技術】 半導体装置の微細化に伴ない微細な素子を精度良く形成する技術が必要とされている。特にレジストパターンをシリコン窒化膜に転写する技術が要請されている。次に図5を用い従来のシリコン窒化膜のドライエッチング方法について説明する。

【0003】 シリコン基板6上にシリコン酸化膜7とシリコン窒化膜8とを形成し、パターニングされたフォトリソグラフィ膜9をマスクとしてエッチングするが、この時のエッチングガスとしては、SF₆、CF₄、CHF₃等の混合ガスが用いられていた。しかしこの方法では、シリコン窒化膜8とシリコン酸化膜7の選択比（シリコン窒化膜のエッチングレート／シリコン酸化膜のエッチングレート）が3程度しかなく、シリコン基板6上の薄いシリコン酸化膜7上のシリコン窒化膜8をエッチングするには不十分であり、シリコン酸化膜7の下地となるシリコン基板6がエッチングされるという問題があった。

【0004】 この対策としてエッチングガスをSF₆と三臭化ホウ素（BBr₃）の混合ガスを用いることにより、選択比の高いエッチングを行う方法が特開平4-275423号公報に提案されている。

【0005】

【発明が解決しようとする課題】 しかしながらSF₆とBBr₃の混合ガスを用いる方法では、BBr₃が図8に示すように蒸気圧が低く、ガス配管内で液化し、配管が詰まることがあった。このため、BBr₃を常圧でエッチング装置に供給する際に、ガスの配管等を60℃以上に加熱する必要があるが、エッチングの再現性が悪く、しかも安全上の問題があった。

【0006】 また、この混合ガスを用いるエッチングは異方性である為、図6に示すように、ポリシリコン膜10等の段差上に形成されたシリコン酸化膜7B上のシリコン窒化膜8Aをエッチングする場合には、段差の側面にシリコン窒化膜8Aが残渣となり残るといった問題があ

った。

【0007】 本発明の目的は、高い選択比でシリコン窒化膜をエッチングできる半導体装置の製造方法を提供することにある。

【0008】

【課題を解決するための手段】 本発明の半導体装置の製造方法は、シリコン窒化膜のエッチングに使用するガスとしてSF₆、HBr及びO₂の混合ガスを用い、エッチング装置として比較的等方性エッチングになりやすい平行平板の陽極結合型ドライエッチング装置を用いることを特徴としている。

【0009】 尚、混合ガス中のHBrの量は3～10％がよい。3％以下では十分な選択比が得られず、又10％以上ではウェハー面内のエッチング速度に大きなばらつきを生じる。HBrは図7に示すように蒸気圧が高い為、BBr₃の場合のようにガス配管等を加熱する必要はない。

【0010】

【実施例】 次に本発明の実施例について図面を参照して説明する。

【0011】 図1は、本発明の実施例に用いる平行平板の陽極結合型のドライエッチング装置の概略図である。真空容器1内の陰極2にウェハー3を載置し対向する陽極4よりエッチングガスを導入する。この際、RF電源5は、陽極4に接続し、陰極2は設置電極とする。

【0012】 図2（a）、（b）は本発明の第1の実施例を説明する為の半導体チップの断面図である。まず、図2（a）に示すように、シリコン基板6上にシリコン酸化膜7を熱酸化もしくはCVD法により10nmの厚さに成膜し、次いでその上にシリコン窒化膜8を10nm成膜した後、シリコン窒化膜8をエッチングするためのフォトリソグラフィ膜9をパターニングする。次にこのシリコン基板6を図1に示したドライエッチング装置により等方エッチングする事により図2（b）に示す形状が得られる。

【0013】 この際のエッチング条件としては、SF₆流量＝200SCCM、HBr流量＝15SCCM、O₂流量＝10SCCM、圧力＝850mTorr、RF電力＝150W（13.56MHz）で行った。この条件でのシリコン窒化膜及びシリコン酸化膜のエッチングレートはそれぞれ、シリコン窒化膜＝40nm/min、シリコン酸化膜＝5nm/minとなり、シリコン窒化膜のシリコン酸化膜に対する選択比が8と大きな値が得られた。

【0014】 図3（a）、（b）は本発明の第2の実施例を説明する為の半導体チップ断面図である。図3

（a）に示すようにシリコン基板6上の第1のシリコン酸化膜7A上に容量電極となるポリシリコン膜10のパターンをフォトリソグラフィ技術及びドライエッチング技術により形成する。次で全面に第2のシリコン酸化

膜7Bを10nm、シリコン窒化膜8Aを10nm成膜した後、シリコン窒化膜8Aをエッチングするためのフォトリソ膜9Aをパターンニングする。

【0015】次でこのシリコン基板6を図1に示したドライエッチング装置により等方エッチングする事により図3(b)に示すように段差部のシリコン窒化膜も完全に除去することができた。この際のエッチング条件は第1の実施例における条件と同一のものをを用いる。本第2の実施例でも、エッチング条件が等方性の条件であるため、ポリシリコン膜10の側面にシリコン窒化膜8Aの残渣を発生させることなくエッチングが可能である。

【0016】次に本発明の第3の実施例として、本発明を厚いシリコン窒化膜の残渣除去に適用する場合について図面を参照して説明する。図4は本発明の第3の実施例を説明する為の半導体チップの断面図である。

【0017】図4に示すように、シリコン基板6上にシリコン酸化膜7を熱酸化もしくはCVD法により10nm成膜し、次いでシリコン窒化膜8を150nm成膜した後、シリコン窒化膜8をエッチングするためのフォトリソ膜9をパターンニングする。

【0018】この後、シリコン基板6を図1で示したドライエッチング装置によりエッチングする。この際のエッチングは、まず、異方性のエッチング条件〔SF₆流量=50SCCM、CHF₃流量=5SCCM、圧力=300mTorr、RF電力=250W(13.56MHz)〕によりシリコン窒化膜8のみをエッチングする。この条件でのシリコン窒化膜及びシリコン酸化膜のエッチングレートはそれぞれ180nm/min及び60nm/minである。すなわち、シリコン窒化膜のシリコン酸化膜に対する選択比が3となる。エッチング時間の制御は、一般的に用いられている終点検出で行う。

【0019】次にエッチングのばらつきにより残っているシリコン窒化膜8のエッチングを続行する。この時のエッチング条件は第1の実施例の条件、すなわち、SF₆流量=200SCCM、HBr流量=15SCCM、O₂流量=10SCCM、圧力=850mTorr、RF電力=150W(13.56MHz)を用いる。このエッチングによりシリコン酸化膜7をほとんどエッチングすることなく、シリコン窒化膜8を完全に除去することができる。

【0020】

【発明の効果】以上説明したように、本発明ではシリコン窒化膜のエッチングの際にSF₆、HBr及びO₂の混合ガスを用いることにより、シリコン窒化膜のシリコン酸化膜に対する選択比の高いエッチングが可能である。また、等方的なエッチングが可能であるため、段差上のシリコン窒化膜のエッチング時に段差の側面にシリコン窒化膜の残渣が発生することなくエッチングが可能である。

【0021】さらに、異方性のエッチング条件と組み合わせることにより厚いシリコン窒化膜のエッチングの際でも寸法変化の少ないエッチングが可能である。

【図面の簡単な説明】

【図1】本発明の実施例に使用するドライエッチング装置の概略図。

【図2】本発明の第1の実施例を説明する為の半導体チップの断面図。

【図3】本発明の第2の実施例を説明する為の半導体チップの断面図。

【図4】本発明の第3の実施例を説明する為の半導体チップの断面図。

【図5】従来の半導体装置の製造方法を説明する為の半導体チップの断面図。

【図6】従来の他の半導体装置の製造方法を説明する為の半導体チップの断面図。

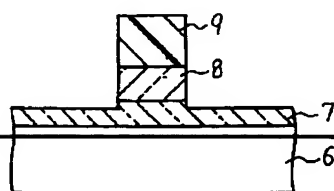
【図7】HBrの蒸気圧曲線を示す図。

【図8】BBr₃の蒸気圧曲線を示す図。

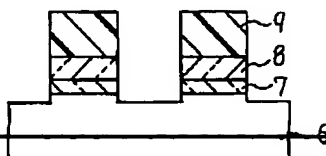
【符号の説明】

- 1 真空容器
- 2 陰極
- 3 ウェハー
- 4 陽極
- 5 RF電源
- 6 シリコン基板
- 7 シリコン酸化膜
- 7A 第1のシリコン酸化膜
- 7B 第2のシリコン酸化膜
- 8, 8A シリコン窒化膜
- 9, 9A フォトリソ膜
- 10 ポリシリコン膜

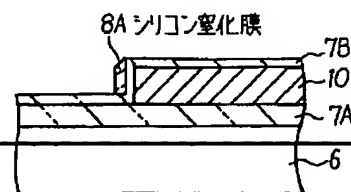
【図4】



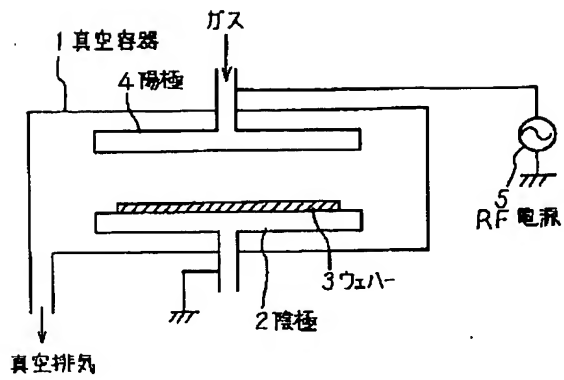
【図5】



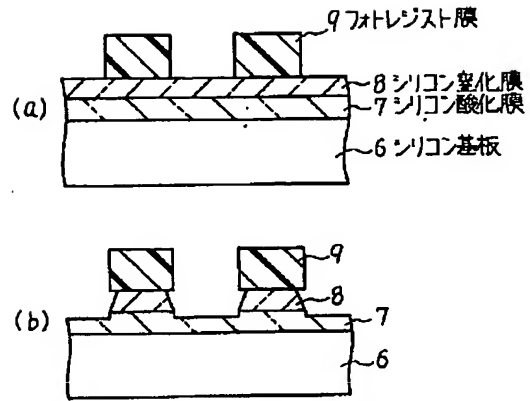
【図6】



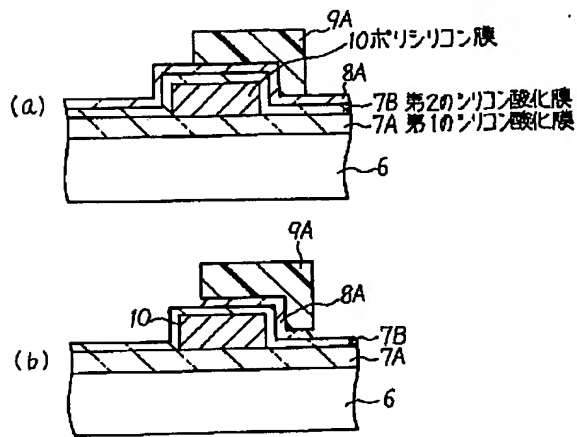
【図1】



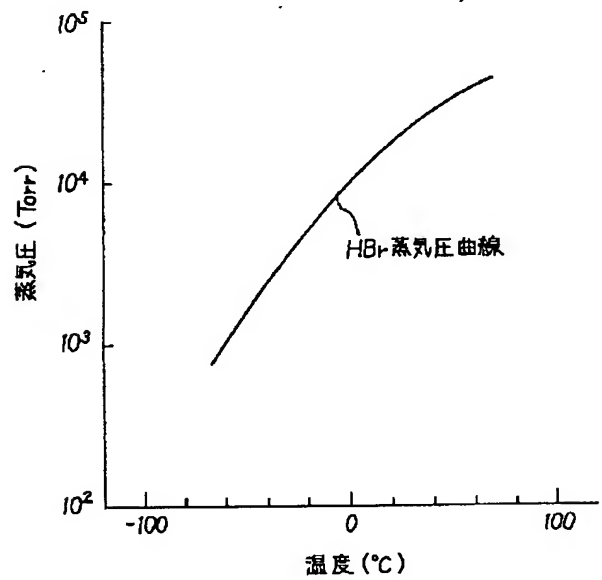
【図2】



【図3】



【図7】



【図8】

